

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2004年 9月16日

出 願 番 号
Application Number: 特願2004-270418

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

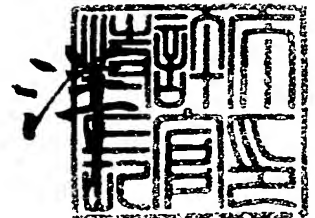
J P 2004-270418

出 願 人
Applicant(s): 株式会社半導体エネルギー研究所

2005年 6月15日

特許庁長官
Commissioner,
Japan Patent Office

小 川



| | |
|-----------------|-----------------------------------|
| 【書類名】 | 特許願 |
| 【整理番号】 | P008168 |
| 【提出日】 | 平成16年 9月16日 |
| 【あて先】 | 特許庁長官 殿 |
| 【発明者】 | |
| 【住所又は居所】 | 神奈川県厚木市長谷3 9 8番地 株式会社半導体エネルギー研究所内 |
| 【氏名】 | 加藤 清 |
| 【発明者】 | |
| 【住所又は居所】 | 神奈川県厚木市長谷3 9 8番地 株式会社半導体エネルギー研究所内 |
| 【氏名】 | 山口 哲司 |
| 【発明者】 | |
| 【住所又は居所】 | 神奈川県厚木市長谷3 9 8番地 株式会社半導体エネルギー研究所内 |
| 【氏名】 | 浅野 悦子 |
| 【発明者】 | |
| 【住所又は居所】 | 神奈川県厚木市長谷3 9 8番地 株式会社半導体エネルギー研究所内 |
| 【氏名】 | 泉 小波 |
| 【特許出願人】 | |
| 【識別番号】 | 000153878 |
| 【氏名又は名称】 | 株式会社半導体エネルギー研究所 |
| 【代表者】 | 山崎 舜平 |
| 【先の出願に基づく優先権主張】 | |
| 【出願番号】 | 特願2004-166274 |
| 【出願日】 | 平成16年 6月 3日 |
| 【手数料の表示】 | |
| 【予納台帳番号】 | 002543 |
| 【納付金額】 | 16,000円 |
| 【提出物件の目録】 | |
| 【物件名】 | 特許請求の範囲 1 |
| 【物件名】 | 明細書 1 |
| 【物件名】 | 図面 1 |
| 【物件名】 | 要約書 1 |

【請求項 1】

絶縁表面上に、2つの不純物領域を有する半導体膜と、ゲート電極と、前記不純物領域にそれぞれ接続された2つの配線を含むメモリセルを有し、
前記メモリセルは、前記ゲート電極と、前記2つの配線のうち少なくとも一方との間に電圧を印加して前記半導体膜を変質させることにより、前記2つの配線間が絶縁されていることを特徴とする記憶装置。

【請求項 2】

絶縁表面上に、2つの不純物領域を有する半導体膜と、ゲート電極と、前記不純物領域にそれぞれ接続された2つの配線を含む第1及び第2のメモリセルを有し、
前記第1のメモリセルは、前記ゲート電極と、前記2つの配線のうち少なくとも一方との間に電圧を印加して前記半導体膜を変質させることにより、前記2つの配線間が絶縁された状態を有し、前記第2のメモリセルは初期状態を有することを特徴とする記憶装置。

【請求項 3】

請求項 1 又は 2 において、
前記ゲート電極を1つ、あるいは2つ以上有することを特徴とする記憶装置。

【請求項 4】

絶縁表面上に、1つ、または2つの不純物領域を有する半導体膜と、電極と、前記不純物領域にそれぞれ接続された2つの配線を含むメモリセルを有し、
前記メモリセルは、前記電極と、前記2つの配線のうち少なくとも一方の配線との間に電圧を印加して前記半導体膜を変質させることにより、前記2つの配線間が絶縁されていることを特徴とする記憶装置。

【請求項 5】

絶縁表面上に、1つ、または2つの不純物領域を有する半導体膜と、電極と、前記不純物領域にそれぞれ接続された2つの配線を含む第1及び第2のメモリセルを有し、
前記第1のメモリセルは、前記電極と、前記2つの配線のうち少なくとも一方の配線との間に電圧を印加して前記半導体膜を変質させることにより、前記2つの配線間が絶縁された状態を有し、前記第2のメモリセルは初期状態を有することを特徴とする記憶装置。

【請求項 6】

請求項 4 又は 5 において、
前記電極は、前記2つの配線の上に位置することを特徴とする記憶装置。

【請求項 7】

請求項 4 乃至 6 のいずれか一において、
前記電極を1つ、又は2つ以上有することを特徴とする記憶装置。

【発明の名称】 記憶装置

【技術分野】

【0001】

本発明は、記憶装置に関し、特に不揮発性の記憶装置に関する。

【背景技術】

【0002】

現代のように、多くの電子機器を使用する社会では、さまざまなデータが生成、使用されており、これらのデータを保存するためには、記憶装置が必要である。現在、生産、使用されているさまざまな記憶装置は、それぞれ異なる長所、短所が存在し、保存、使用するデータの種類に応じて使い分けられている。

【0003】

たとえば、記憶装置の電源を切ると記憶内容が失われてしまう揮発性メモリには、DRAMやSRAMがある。揮発性メモリは、揮発性であるために、その用途が大きく限定されてしまうが、アクセス時間が短いので、コンピュータの主記憶装置やキャッシュメモリとして使用されている。DRAMは、メモリセルのサイズが小さいので、大容量化が容易であるが、制御方法が複雑であり、消費電力が大きいという欠点がある。SRAMのメモリセルはCMOSで構成されており、作製工程や制御方法が容易であるが、1つのメモリセルに6つのトランジスタを必要とすることから、大容量化には向いていない。

【0004】

電源を切っても記憶内容が消えない不揮発性メモリには、何度も記憶内容を書き換えることができるリライタブル型と、メモリの使用者が一度だけデータを書き込むことができるライトワンス型と、メモリの製造時にデータの内容が決定され、そのデータ内容を書き換えることができないマスクROMとがある。リライタブル型は、EPROM、フラッシュメモリ、強誘電体メモリなどが挙げられる。EPROMは書き込み操作が容易であり、ビットあたりの単価も比較的小さいが、書き込みや消去時に専用のプログラム装置と消去器が必要である。フラッシュメモリや強誘電体メモリは、使用している基板上で書き換えができ、アクセス時間も短く、低消費電力であるが、製造時にフローティングゲートや、強誘電体層を作り込む工程を必要とし、ビットあたりの単価が高い。

【0005】

ライトワンス型メモリのメモリセルは、ヒューズやアンチヒューズ、クロスポイントダイオード、OLED（有機発光ダイオード）、双安定液晶素子、または熱や光が加えられることにより状態が変化するほかのデバイスから構成されている。通常、記憶装置は、メモリセルがある2つの状態のうち、どちらか一方の状態を取ることでデータを記録する。ライトワンス型の記憶装置は、全てのメモリセルが第1の状態であるように製造され、書き込み処理を受けると、指定されたメモリセルだけが第2の状態へ変更される。この第1の状態から第2の状態への変更は不可逆的であり、一度変更されたメモリセルを元に戻すようにはできない。

【0006】

ライトワンス型メモリは、作製工程に温度や材料などの制限があり、シリコン基板には作製しないことが多い。つまり、一般的にシリコン基板上に作製される、中央処理装置（以降CPUと記す）や演算機能回路、整流回路、制御回路など（以下これらの回路を、ライトワンス型のメモリと区別して、その他の機能回路と記す）とは、作製工程が全く違う。たとえば、アンチヒューズ型ライトワンスメモリは、プラスチックや金属の基板上に配線やアンチヒューズ層、制御素子を作製している（特許文献1参照）。この作製方法で作製した記憶装置は、低コスト、大容量、低消費電力、短いアクセス時間を実現している。しかし、ある機能を有するひとつの半導体装置を作る場合、メモリは、それ自体では機能せず、必ずその他の機能回路が必要である。従って、ライトワンス型メモリ等のメモリとその他の機能回路とを別々に作らなければならない。

【0007】

一方、又は、同一のシリコン基板上にメモリと、その他の機能回路が作り込まれている半導体装置の例として、ＩＣタグを挙げることができる。ＩＣタグの中に作り込まれているメモリは、ＳＲＡＭやマスクＲＯＭ、フラッシュメモリ、強誘電体メモリである。マスクＲＯＭは、メモリ作製時にデータ内容を決定し、ＩＣタグ使用者はデータの書き込みができない。そして、１つのフォトマスクにより１つのデータが決定するため、異なるデータ内容のメモリが必要な場合は、データの種類だけフォトマスクが必要になる。従って、コスト面で実用的ではない。

【０００８】

なお、フラッシュメモリや強誘電体メモリは、ゲート絶縁膜の中にフローティングゲートや、強誘電体層を作り込む工程など、メモリを作り込むための特別な工程を必要としている。逆に、ＩＣタグ内に作られているメモリ以外の回路は、すべてＣＭＯＳ作製工程範囲内で作りこむことが可能である。

【０００９】

また近年、液晶ディスプレイやＥＬディスプレイなどの表示装置を作製するため、絶縁基板上に薄膜トランジスタ（以下ＴＦＴと記す）を作製する技術が目覚ましい発展を遂げている。たとえば、ディスプレイの画素部分のみならず、ディスプレイを表示させるための駆動回路も、同一基板上にＴＦＴで作製されている。絶縁基板上では、基板と配線との容量結合がないので、回路の高速動作が可能であることから、演算機能回路や、記憶装置など、様々な機能回路をＴＦＴで作製することが提案されている。そして、絶縁基板上に機能回路を作製するもう１つのメリットは、コストである。シリコン基板に比べて、ガラス基板やプラスチック基板は非常に安価であり、さらに、シリコン基板では面積が小さなものに限定されてしまうが、絶縁基板はシリコン基板に比べて大きな面積のものを使用することができる。したがって、シリコン基板で作製するよりも製品の取り数が増加し、結果として非常に安価な半導体装置を提供することができる。

【００１０】

現在、ＴＦＴ作製技術を用いて作られている記憶装置には、マスクＲＯＭやＳＲＡＭ、フラッシュメモリがある。ＳＲＡＭは、ＴＦＴで構成されるので、他の機能回路と同一基板上に容易に作製することができるが、揮発性であるため用途に大きな制限がある。マスクＲＯＭは、データ変更のためにフォトマスクの変更が必要であり、実用的ではない。フラッシュメモリを作製する場合には、フローティングゲートを作製するための工程が必要である。逆に、絶縁基板上に作製されている演算機能回路など、その他の機能回路はＴＦＴ作製工程範囲内で作りこむことが可能である。

【００１１】

このように本発明は、記憶装置作製に関する技術、ガラス基板など絶縁基板や、絶縁表面上に回路を作製する技術、の２つの技術を背景にしている。

【特許文献１】特開２００３－３６６８４号公報

【発明の開示】

【発明が解決しようとする課題】

【００１２】

従来の技術では、半導体集積回路を作製する基板がシリコン基板であっても絶縁基板であっても、不揮発性のメモリ回路をその他の機能回路と同一基板上に作りこむことは難しい。しかし１つの装置を作る際、メモリとその他の機能回路とを別に作製すると、外部で接続する必要があり、完成品の装置のサイズも大きくなってしまう。そのうえ、メモリと、その他の機能回路の、少なくとも２つ以上の回路を作製するため、コストがかかってしまう。フラッシュメモリや、強誘電体メモリのように、メモリとその他の機能回路とを同一基板上に作製できたとしても、メモリを作り込むために必要な工程を追加しなければならない。半導体装置を作るにあたって、工程数を増やすことは、それだけでコストを高くしてしまうだけでなく、製品の仕様を限定しなければならなくなったり、生産性を低下させてしまうことになる。

【００１３】

すなわち此不純物領域に形成されている記憶装置は、ほとんどが記憶装置を形成するための付加の工程を必要としている。したがって、他の機能回路と同一の基板上に作成できない、もしくは、その他の機能回路と同一基板に作製したときに、TFT作製工程以外の工程を追加する必要がある、という問題があった。これは、ひとつの機能を持った半導体装置、たとえばICタグなど、を作製するにあたって、メモリのための余分なコストがかかることになる。

【0014】

そこで本発明は、絶縁基板上に作製されるその他の機能回路と同様、TFT作製工程範囲内でライトワンス型のメモリを作製する方法を提供することを課題とする。また本発明は、メモリをその他の機能回路と同一の基板に作製したときも、製品の仕様の限定や生産性の低下を生じさせることなく、使いやすく安価な記憶装置を提供する点にある。

【課題を解決するための手段】

【0015】

上記課題を鑑み本発明は、ガラス基板やプラスチック基板のような絶縁基板、又は絶縁処理された表面を持つ基板（以後、これらを総称して絶縁基板と記す）上に形成された半導体膜を変質させるという状態変化によりライトワンス型のメモリ機能を奏する記憶装置を特徴とする。

【0016】

本発明の一形態は、絶縁表面上に、2つの不純物領域を有する半導体膜と、ゲート電極と、前記不純物領域にそれぞれ接続された2つの配線を含むメモリセルを有し、前記メモリセルは、前記ゲート電極と、前記2つの配線のうち少なくとも一方との間に電圧を印加して前記半導体膜を変質させることにより、前記2つの配線間が絶縁されていることを特徴とする記憶装置である。

【0017】

本発明の別の形態は、絶縁表面上に、2つの不純物領域を有する半導体膜と、ゲート電極と、前記不純物領域にそれぞれ接続された2つの配線を含む第1及び第2のメモリセルを有し、前記第1のメモリセルは、前記ゲート電極と、前記2つの配線のうち少なくとも一方との間に電圧を印加して前記半導体膜を変質させることにより、前記2つの配線間が絶縁された状態を有し、前記第2のメモリセルは初期状態を有することを特徴とする記憶装置である。この絶縁状態と初期状態の二値状態を取ることができる。

【0018】

本発明の別の形態は、絶縁表面上に、1つ、または2つの不純物領域を有する半導体膜と、電極と、前記不純物領域にそれぞれ接続された2つの配線を含むメモリセルを有し、前記メモリセルは、前記電極と、前記2つの配線のうち少なくとも一方の配線との間に電圧を印加して前記半導体膜を変質させることにより、前記2つの配線間が絶縁されていることを特徴とする記憶装置である。

【0019】

本発明の別の形態は、絶縁表面上に、1つ、または2つの不純物領域を有する半導体膜と、電極と、前記不純物領域にそれぞれ接続された2つの配線を含む第1及び第2のメモリセルを有し、前記第1のメモリセルは、前記電極と、前記2つの配線のうち少なくとも一方の配線との間に電圧を印加して前記半導体膜を変質させることにより、前記2つの配線間が絶縁された状態を有し、前記第2のメモリセルは初期状態を有することを特徴とする記憶装置である。このとき、前記電極は、絶縁基板上面から見たときに、前記2つの配線の間に位置している。

【0020】

本発明において、ゲート電極や電極を、1つ、又は2つ以上有しても構わない。

【発明の効果】

【0021】

上記の手段を用いれば、TFT作製工程範囲内で絶縁基板上にライトワンス型メモリを作製することが可能である。すなわち本発明の記憶装置は、絶縁基板上に作製する他の機能

図面と同様に、TFT製造の工数を減らすことができると、メモリのための追加工数による余分なコストの上昇を抑えることができる。さらに、メモリとその他の機能回路とを同一の工程で作製できるので、メモリを作ることによって製品の仕様を限定したり、生産性を低下させるといったこともない。

【0022】

また、シリコン基板にくらべて、ガラス基板やプラスチック基板は非常に安価である。さらに、シリコンウェハでは基板サイズが小さなものに限定されてしまうが、絶縁基板はシリコン基板に比べて大きなものを使用することができる。そのため、製品の取り数が増加し、非常に安価な記憶装置を提供することができる。

【0023】

本発明は、TFT作製工程範囲内でライトワンス型のメモリを作製し、メモリをその他の機能回路と同一の基板に作製したときも、製品の仕様の限定を生じず、生産性が良く、使いやすく安価な記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0024】

以下に、本発明の実施の形態を、図面に基づいて説明する。

但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

なお、すべての図において、同一部分、または、同様の機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0025】

（実施の形態1）

絶縁基板上に作製したTFTは、ゲート電極と2つの不純物領域（高濃度不純物領域を含む）のうち少なくともどちらか一方との間に、通常TFTとして動作させる時よりも高い電圧を印加すると、TFTのチャネル領域が絶縁状態になる。この動作を表すために、TFTに電圧を印加する前後の断面図を図1（A）、（B）に示す。たとえば、図1（A）に示すTFT100は、絶縁基板101の上に半導体膜102を有し、半導体膜102の上にゲート絶縁膜105、その上にゲート電極106を有するものとする。半導体膜102は2つの高濃度不純物領域103とチャネル領域104とを有する。図1（B）のTFT107は、電圧をかけた後のTFTを模式的に示している。TFT107は、少なくとも半導体膜のチャネル領域104が変質し、ゲート電極の下に絶縁化した領域108ができる。そしてゲート電極と2つの高濃度不純物領域103の3端子間が絶縁状態になる。図1（B）に示す絶縁化した領域108は模式的に示したものであり、実際の絶縁化した領域はさまざまな形状を取る。

【0026】

たとえば、ガラス基板上に作製されたチャネル長（以後、Lと記す）が4 μ m、チャネル幅（以後、Wと記す）が4 μ m、ゲート絶縁膜の厚さ（以後、GIと記す）が20nmを有するTFTにおいて、ゲート電極と2つの高濃度不純物領域の少なくとも一方との間に、25Vの電圧を500 μ 秒印加する。すると、TFTのチャネル領域が、絶縁となり、ゲート電極と2つの高濃度不純物領域の3端子間が絶縁状態になる。実際の電圧印加前後の写真を図10に示す。図10（A）は電圧印加前のTFTであり、図10（B）は電圧印加後のTFTをガラス基板裏面から見たものである。

【0027】

本発明の明細書において変質とは、具体的には、TFTに電圧を印加することにより、図10（A）から図10（B）のように少なくともチャネル領域が絶縁状態へ変化することを示すものとする。もちろん、ここに示したサイズのTFT以外でも、電圧の印加条件を変えることによって、少なくともチャネル領域を絶縁状態にすることができる。

【0028】

このようにゲート電極と、2つの不純物領域（本実施の形態では高濃度不純物領域）の少

なくとも一方との間に、TF Tが動作すること以上の高い電圧を印加すると、ノード絶縁膜に電流が流れる。絶縁膜は抵抗値の高い物質でできていることが多く、電流が流れると熱が発生する。絶縁基板上に作製されたTF Tの中で大量な熱が発生しても、絶縁基板は基本的に熱伝導率が低いので、熱の逃げる場所がなく、その熱がゲート絶縁膜や半導体膜を焼き焦がしてしまう。これによってゲート電極と、2つの高濃度不純物領域の3端子間を絶縁状態にすることができる。一方、熱伝導率の高いシリコン基板上のトランジスタでは、ゲート絶縁膜に電流が流れて熱が発生しても、絶縁膜やシリコン基板を焼き焦がすことはないと考えられる。

【0029】

本発明に関する実験では、ゲート電極と2つの高濃度不純物領域の少なくとも一方との間に電圧を印加すると、97%以上の確率でチャンネル領域が絶縁化する。そして、ゲート電極と2つの高濃度不純物領域の3端子間が絶縁状態、言い換えると非導通状態になることが確かめられている。残り3%以下は不良モード素子であり、これは電圧を印加した後、チャンネル領域が抵抗体となり、3端子間が導通状態になる。不良モード素子の原因としては、半導体膜や絶縁膜中のゴミが考えられる。したがって、TF Tの作製精度の向上により、不良モード素子はさらに削減することができる。また、不良モードの素子に対しては、TF Tのゲート電極をダブルゲートにしたり、冗長回路をつけたりすることで対処することもできる。

【0030】

また、不良モードとして、ゲートと不純物領域に接続されている2つの配線の3端子間のうちのいずれか2端子が導通する場合もある。3端子間導通の不良モードや、2端子間導通の不良モードの原因としては、ゴミ以外にも、書き込み動作時の過剰な電圧の印加が考えられる。したがって、書き込み電圧と電圧印加時間とを最適化することで、不良モード素子の数を減少させることができる。

【0031】

記憶装置は、メモリセルが、ある2つの状態のどちらか一方の状態をとることによって、データを保存する装置である。本発明の記憶装置は、メモリセルであるTF Tが、TF Tのチャンネル領域が初期状態のままか、絶縁状態になっているか、の2つのうちのどちらか一方の状態を取ることでデータを保存することができる。本発明では上記の機構を利用して、たとえば、電圧をかける前の初期状態のTF Tを「1」の状態、TF Tに電圧をかけて、チャンネル領域を絶縁化した絶縁状態ものを「0」の状態ととらえてライトワンス型のメモリを作製する。TF Tの状態と符号「0」、「1」の対応はこの限りではないが、便宜上、本発明の明細書内においては上記の対応を用いる。

【0032】

本発明の記憶装置の概念図として、4ビットからなるメモリセルアレイの回路図を図2に示す。メモリセルアレイは、2本のワード線201、2本のビット線202、2本のソース線204、4つのTF T203を有する。各ワード線、ビット線、ソース線には、図に示すようにW0、W1、B0、B1、S0、S1の番号を振る。またTF T203において、W0とB0、S0とによって選択されるTF Tを00、W0とB1、S0とで選択されるTF Tを01、W1とB0、S0とで選択されるTF Tを10、W1とB1、S0とで選択されるTF Tを11と番号を振る。これらTF T203は、上述したように、TF Tのゲート電極と、少なくとも一方の不純物領域との間に25V以上の電圧を500 μ 秒印加することで、TF Tのチャンネル領域が絶縁状態になるものであるとする。

【0033】

まず、TF T00に「0」を書き込むための回路動作の一例を述べる。書き込み処理は、TF T00のゲート電極と2つの不純物領域のうち少なくともどちらか一方との間に、電圧を印加すればよい。たとえば、W0を25V、B0とS0に0Vの電圧を500 μ 秒印加する。このとき、他のTF Tに、「0」の書き込みが起らないように、W1、B1、S1の電圧を決める必要がある。たとえば、W1に0V、B1とS1とに10Vを印加する。上記の電圧を印加することで、TF T00のゲート電極と少なくとも一方の不純物領

域との間に25Vの電圧がかかると、ファイル領域を絶縁状態とすることが出来る。

【0034】

TF T 0 0に「0」を書き込む動作時における、他のTF Tの動作について簡単に述べる。まず、TF T 0 1は、W 0に25V、B 1とS 1とに10Vが印加されているので、ゲート電極と少なくとも一方の不純物領域との間の電圧は15Vになる。しかし、25V以上の電圧はかからないので、TF T 0 1への「0」の書き込みは起こらない。TF T 1 0もW 1に0V、B 0とS 0に0Vが印加されているので、「0」の書き込みは起こらない。TF T 1 1はW 1に0V、B 0とS 0に10Vが印加されているので、ゲート電極と半導体膜の間には10Vの電圧がかかっているが、「0」の書き込みは起こらない。なおここで設定した印加電圧は、一例に過ぎず、各ワード線201、ビット線202、ソース線204の電圧を適宜設定することで、選択したTF Tのみの書き込み処理を行うことができる。

【0035】

次に、TF T 0 0に「1」を書き込む回路動作の一例を述べる。TF T 0 0に「1」を書き込むということは、ゲート電極と少なくとも一方の不純物領域との間に電圧を印加せず、TF Tの初期状態を保ったままにするということである。したがって、たとえばすべてのワード線201、ビット線202、ソース線204を同電圧にするなど、「0」の書き込み動作が起こらないようにすればよい。これは一例であり、回路の制御方法により各ワード線201、ビット線202、ソース線204の電位を適宜設定してよい。

【0036】

次に、TF T 0 0の読み出し動作の例を示す。読み出し動作は、TF T 0 0が書き込み処理を受けず、「1」の状態、つまり初期状態のままであるか、書き込み処理を受けて、「0」の状態、つまりTF T 0 0のチャンネル領域が絶縁状態に変質（変化）しているかを判断すればよい。したがって、TF T 0 0のゲート電極にTF T 0 0の閾値以上の電圧をかけて、2つの高濃度不純物領域間に電流が流れるか否かを判断する。まず、読み出し操作の前にB 0を5Vにプリチャージする。その後、W 0に5V、S 0に0Vを印加し、B 0の電位を読み出すように設定する。このとき、他のTF Tを選択しないようにW 1、B 1、S 1の電圧を決める必要がある。たとえば、W 1とS 1に0Vを印加し、B 1は読み出しの選択がされないようにしておく。TF T 0 0が書き込み処理を受けておらず、「1」の状態であったとすると、W 0に5Vの電圧が印加されているので2つの不純物領域は導通し、B 0は0Vになる。逆に、TF T 0 0が書き込み処理を受け、「0」の状態であったとすると、B 0とS 0は絶縁しているので、B 0はプリチャージされた5Vのままとなる。このようにW 0に閾値電圧以上の電圧を印加し、B 0の電位の変化を読み取ることで、TF T 0 0の読み出しを行うことができる。

【0037】

このTF T 0 0の読み出し動作時における、他のTF Tの動作について簡単に述べる。まず、B 1は読み出しの選択がされていないので、TF T 0 1とTF T 1 1は読み出しには関与しない。TF T 1 0はW 0が0Vであるので、ビット線の電位を変えることはない。したがってTF T 0 0の読み出し時に、他のTF Tが影響を与えることはない。

【0038】

このように本実施例では、メモリセルが「スイッチ素子」と「絶縁体」の二値状態をとることから、メモリセルを1つのTF Tのみで構成することができる。これは、メモリセルアレイの面積を縮小することができ、記憶容量を増やすにも有利な点である。

【0039】

（実施の形態2）

本発明の記憶装置は、メモリセルとなるTF Tの半導体膜全面に高濃度の不純物を添加してもよい。逆に、半導体膜の任意の部分に不純物を添加し、そこに2つの配線を接続してもよいが、このように不純物領域を任意に作ると、素子はトランジスタとして機能しない。しかし、半導体膜全面に高濃度の不純物を添加した構造であれば、電極と2つの配線のうち少なくとも一方との間に電圧を印加することで、3端子間をすべて絶縁することがで

る。

【0040】

本実施の形態では、絶縁基板上に作製された半導体膜に1つの藤生物量域（本実施の形態では高濃度不純物領域）があり、1つの電極を挟んで2つの配線が前記半導体膜に接続されている例を示す。図3には、この場合の素子の上面図と断面図を例示する。図3（A）は通常のTF Tと同じ形で、絶縁膜上にゲート電極を作る前に、半導体膜に高濃度の不純物を添加する場合である。図3（B）は、ゲート電極に任意の幅の間隙を形成し、電極を作った後に、半導体膜に高濃度の不純物を添加する場合である。この間隙は、電極と半導体膜との間に電圧を印加したときに、2つの配線間が絶縁する程度の近さにしなければならない。図3（A）、（B）どちらの素子も、半導体膜の高濃度不純物領域を通して2つの配線間が導通しているので、本明細書ではこれらの素子を、TF Tと区別するため「抵抗素子」と呼ぶことにする。

【0041】

図3（A）、（B）において抵抗素子は、絶縁基板303上に半導体膜301があり、前記半導体膜301上に絶縁膜305、前記絶縁膜305上に電極302を有する。半導体膜の高濃度不純物領域304に、2つの配線306を接続する。2つの配線の間電極302があれば、半導体膜における高濃度不純物領域の場所や、半導体膜と接続される配線の場所は任意である。また、図3（B）のゲート電極に任意の幅の間隙を形成した場合のように、電極の形も任意である。さらに、抵抗素子の形状は任意であり、図3に示したものは一例に過ぎない。

【0042】

たとえば、図3（A）に示した抵抗素子において、実施の形態1で挙げた例と同様、 $L=4\mu\text{m}$ 、 $W=4\mu\text{m}$ 、 $GI=20\text{nm}$ を有する抵抗素子の、電極と、2つの配線の少なくとも一方の配線との間に、25Vの電圧を500 μ 秒印加する。すると、電極と2つの配線の、3端子間がすべて絶縁となる。もちろん、ここに示したサイズの素子以外でも、電圧の印加条件を変えることによって、3端子間を絶縁状態にすることができる。本実施の形態では、この機構を利用してライトワンス型のメモリを作製する。

【0043】

本実施の形態を表す概念図として、4ビットからなるメモリセルアレイの回路図を図4に示す。メモリセルアレイは、2本のワード線31、2本のビット線32、2本の選択制御線33、4つの抵抗素子34と4つの選択用トランジスタ35を有する。各ワード線、ビット線、選択制御線には、図に示すようにW0、W1、B0、B1、W'0、W'1の番号を振り、W0とB0とによって選択されるメモリセルを00、W0とB1とで選択されるメモリセルを01、W1とB0とで選択されるメモリセルを10、W1とB1とで選択されるメモリセルを11とする。この抵抗素子34は、本実施の形態で挙げた例と同様、電極と不純物領域との間に25V以上の電圧を500 μ 秒印加することで、電極と2つの端子の間が絶縁状態になるものとする。なお本実施の形態では、不純物領域が半導体膜全面に形成されている場合があるため、電極と半導体膜との間に電圧を印加すると表記する。

【0044】

まず、00のメモリセルに「0」を書き込むための回路動作の一例を述べる。書き込み処理は、00の抵抗素子の電極と、半導体膜、つまり半導体膜に接続された2つの配線のうち少なくともどちらか一方との間に、電圧を印加すればよい。たとえば、W0を25V、B0とW'0に0Vの電圧を500 μ 秒印加する。このとき、他の抵抗素子に「0」の書き込みが起こらないように、W1とB1、W'1の電圧を決める必要がある。たとえば、W1とW'1とに0V、B1に10Vを印加する。上記の電圧を印加することで、00の抵抗素子の電極と半導体膜との間に25Vの電圧がかかり、電極と二つの配線の3端子間を絶縁状態にすることができる。ここで示した印加電圧は一例に過ぎず、他の条件でも書き込みは可能である。

【0045】

このメモリセル00に対する「0」の書き込み動作時における、他のメモリセルの動作について簡単に述べる。まず、メモリセル01は、W0に25V、B1に10V、W'に0Vが印加されているので、電極と半導体膜との間の電圧は15Vになるが、25V以上の電圧はかからないので、「0」の書き込みは起こらない。メモリセル10はW1とW'1、B0とに0Vが印加されているので、「0」の書き込みは起こらない。メモリセル11はW1とW'に0V、B0に10Vが印加されているので、電極と半導体膜との間には10Vの電圧がかかっているが、「0」の書き込みは起こらない。このように、ワード線31、ビット線32、選択制御線34の電圧を適当に設定することで、選択したメモリセルだけに「0」の書き込み処理を行うことができる。

【0046】

次に、メモリセル00に「1」を書き込む回路動作の一例を述べる。メモリセル00に「1」を書き込むということは、抵抗素子の電極と半導体膜との間に電圧を印加せず、初期状態を保ったままにすることである。したがって、たとえばすべてのワード線31、ビット線32、選択制御線33を0Vにするなど、「0」の書き込み動作が起こらないようにすればよい。これは一例であり、回路の制御方法により各ワード線31、ビット線32、選択制御線33の電位を適当に決定してよい。

【0047】

次に、メモリセル00の読み出し操作の例を示す。読み出し操作は、メモリセル00の抵抗素子が、書き込み処理を受けず、「1」の状態、つまり初期状態の抵抗素子のままであるか、書き込み処理を受けて、「0」の状態、つまりメモリセル00の抵抗素子が絶縁状態に変質（変化）しているかを判断すればよい。したがって、メモリセル00の選択用トランジスタのゲート電極に閾値以上の電圧をかけて、選択用トランジスタの2つの高濃度不純物領域間のうちの一方の接地と、B0とが導通するか否かを判断すればよい。まず、読み出し操作の前にB0を5Vにプリチャージする。その後、W'0に5V、を印加する。このとき、他のTF Tを選択しないようにW'1、B1の電圧を決める必要がある。W0とW1とは、書き込み時にのみ使用するので、読み出し操作の時には必要ない。たとえば、W'1に0Vを印加し、B1は読み出しの選択がされないようにしておく。メモリセル00の抵抗素子が書き込み処理を受けておらず、「1」の状態、つまり初期状態であったとすると、B0と接地とが導通し、B0は0Vになる。逆に、メモリセル00の抵抗素子が書き込み処理を受け、「0」の状態、つまり絶縁状態であったとすると、W0に5Vを印加してもB0接地は絶縁しているので、B0はプリチャージされた5Vのままとなる。このようにW'に電圧を印加し、B0の電位の変化を見ることで、メモリセル00の読み出しを行うことができる。

【0048】

このメモリセル00の読み出し動作時における、他のメモリセルの動作について簡単に述べる。まず、B1は読み出しの選択がされていないので、メモリセル01とメモリセル11は読み出しには関与しない。メモリセル10はW'0が0Vであるので、選択トランジスタは動作せず、ビット線の電位を変えることはない。したがってメモリセル00の読み出し時に、他のメモリセルが影響を与えることはない。

【0049】

本実施の形態では、メモリセル中の素子数が2つとなり、メモリセルアレイの面積が大きくなる。しかし、書き込み時の、高い電圧を用いる場合（たとえば、W0、W1につながるデコードなど）と、読み出し時の低い電圧を用いる場合（たとえば、W'0、W'1につながるデコード）を分離することができる。高い電圧を用いる場合では、TF Tが高い電圧にも耐えられるように、TF TのLを大きくする必要がある。しかし、Lが大きくなると、高速動作には不向きとなり、低い電圧を用いる系ではLを小さくするのが一般的である。したがって、これらの場合を分離することは、動作を高速化したり、動作の制御を容易にしたりする面で大変有利となる。また、本実施の形態において、抵抗素子34の代わりにTF Tを用い、メモリセルの中で記憶用のTF Tと選択用のTF Tとを作り分けることも可能である。

【0050】

(実施例1)

本実施例では、図5、図6、図7を参照して、ガラス基板上にTF Tを作製する方法について具体的に説明する。ここでは、n型TF Tとp型TF Tの断面構造を示しながら説明する。

【0051】

まず、基板500上に、剥離層501を形成する(図5(A))。ここでは、ガラス基板(例えば、コーニング社製1737基板)上に、50nmの膜厚のa-Si膜(非晶質シリコン膜)を減圧CVD法により形成する。なお、基板としては、ガラス基板の他にも、石英基板、アルミナなど絶縁物質で形成される基板、シリコンウェハ基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板等を用いることができる。また、剥離層としては、非晶質シリコンの他に、多結晶シリコン、単結晶シリコン、SAS(セミアモルファスシリコン(微結晶シリコン、マイクロクリスタルシリコンともいう。))等、シリコンを主成分とする膜を用いることが望ましいが、これらに限定されるものではない。剥離層は、減圧CVD法の他にも、プラズマCVD法、スパッタ法等によって形成しても良い。また、リンなどの不純物をドーパした膜を用いてもよい。また、剥離層の膜厚は、50~60nmとするのが望ましい。SASに関しては、30~50nmとしてもよい。

【0052】

次に、剥離層501上に、保護膜502(下地膜、下地絶縁膜と呼ぶこともある。)を形成する(図5(A))。ここでは、膜厚100nmのSiON膜\膜厚50nmのSiNO膜\膜厚100nmのSiON膜の3層構造としたが、材質、膜厚、積層数は、これに限定されるものではない。例えば、下層のSiON膜に代えて、膜厚0.5~3μmのシロキサン等の耐熱性樹脂をスピンコート法、スリットコーター法、液滴吐出法などによって形成しても良い。また、窒化珪素膜(SiN、Si₃N₄等)を用いてもよい。また、それぞれの膜厚は、0.05~3μmとするのが望ましく、その範囲から自由に選択することができる。ここで、酸化珪素膜は、SiH₄/O₂、TEOS(テトラエトキシシラン)/O₂等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の方法によって形成することができる。また、窒化珪素膜は、代表的には、SiH₄/NH₃の混合ガスを用い、プラズマCVDによって形成することができる。また、SiON膜又はSiNO膜は、代表的には、SiH₄/N₂Oの混合ガスを用い、プラズマCVDによって形成することができる。

【0053】

次に、保護膜502の上に、TF Tを形成する。なお、TF T以外にも、有機TF T、薄膜ダイオード等の薄膜能動素子を形成することもできる。TF Tの作製方法として、まず、保護膜502上に、島状半導体膜503を形成する(図5(B))。島状半導体膜503は、アモルファス半導体、結晶性半導体、又はセミアモルファス半導体で形成する。いずれも、シリコン、シリコン・ゲルマニウム(SiGe)等を主成分とする半導体膜を用いることができる。なお、剥離層501及び島状半導体膜503として、a-Si等の珪素を主成分とする材料を用いる場合には、それらに接する保護膜としては、密着性確保の点から、SiO_xN_yを用いてもよい。ここでは、70nmの膜厚のアモルファスシリコンを形成し、さらにその表面を、ニッケルを含む溶液で処理する。さらに、500~750℃の熱結晶化工程によって結晶質シリコン半導体膜を得、レーザ結晶化を行って結晶性の改善を施してもよい。また、成膜方法としては、プラズマCVD法、スパッタ法、LP CVD法などを用いても良い。結晶化方法としては、レーザ結晶化法、熱結晶化法、ニッケル以外のその他の触媒(Fe, Ru, Rh, Pd, Pt, Os, Ir, Pt, Cu, Au等)を用いた熱結晶化、あるいはそれらを交互に複数回行っても良い。

【0054】

また、非晶質構造を有する半導体膜の結晶化処理としては、連続発振のレーザを用いても良く、結晶化に際し大粒径の結晶を得るためには、連続発振が可能な固体レーザを用い、

至平波の第2高調波、第3高調波、又は第4高調波を適用するのがよい（この連続発振が可能でレーザを使用する場合の結晶化をCWL Cという。）。代表的には、Nd:YVO₄レーザ（基本波1064 nm）の第2高調波（532 nm）や第3高調波（355 nm）を適用すればよい。連続発振のレーザを用いる場合には、出力10 Wの連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換することができる。また、共振器の中にYVO₄結晶又はGdVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は0.01~100 MW/cm²程度（好ましくは0.1~10 MW/cm²）が必要である。そして、10~2000 cm/s程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射すればよい。

【0055】

また、パルス発振のレーザを用いる場合、通常、数十Hz~数百Hzの周波数帯を用いるが、それよりも著しく高い10 MHz以上の発振周波数を有するパルス発振レーザを用いてもよい（この周波数を有するパルス発振可能なレーザを使用する場合の結晶化をMHz LCという。）。パルス発振でレーザ光を半導体膜に照射してから半導体膜が完全に固化するまでの時間は数十nsec~数百nsecとされているため、上記高周波数帯を用いることで、半導体膜がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射できる。よって、従来のパルス発振のレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が10~30 μm、走査方向に対して垂直な方向における幅が1~5 μm程度の結晶粒の集合を形成することができる。該走査方向に沿って長く延びた単結晶の結晶粒を形成することで、少なくともTF Tのチャネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。なお、保護膜502の一部に耐熱性有機樹脂であるシロキサンを用いた場合には、上記結晶化の際に、半導体膜中から熱が漏れることを防止することができ、効率よく結晶化を行うことができる。

【0056】

上記の方法によって結晶性シリコン半導体膜を得る。なお、結晶は、ソース、チャネル、ドレイン方向にそろっていることが望ましい。また、結晶層の厚さは、20~200 nm（代表的には40~170 nm、さらに好ましくは、50~150 nm）となるのがよい。その後、半導体膜上に酸化膜を介して、金属触媒をゲッタリングするためのアモルファスシリコン膜を成膜し、500~750℃の熱処理によってゲッタリング処理を行った。さらに、TF T素子としての閾値を制御するために、結晶性シリコン半導体膜に対し、10¹³/cm²オーダーのドーザ量のホウ素イオンを注入した。その後、レジストをマスクとしてエッチングを行うことにより、島状半導体膜503を形成した。なお、結晶性半導体膜を形成するにあたっては、ジシラン（Si₂H₆）とフッ化ゲルマニウム（GeF₄）の原料ガスとして、LPCVD（減圧CVD）法によって、多結晶半導体膜を直接形成することによっても、結晶性半導体膜を得ることができる。ガス流量比は、Si₂H₆/GeF₄=20/0.9、成膜温度は400~500℃、キャリアガスとしてHe又はArを用いたが、これに限定されるものではない。

【0057】

なお、TF T内の特にチャネル領域には、1×10¹⁹~1×10²² cm⁻³、好ましくは1×10¹⁹~5×10²⁰ cm⁻³の水素又はハロゲンが添加されているのがよい。SASを用いる場合には、1×10¹⁹~2×10²¹ cm⁻³とするのが望ましい。いずれにしても、ICチップに用いられる単結晶に含まれる水素又はハロゲンの含有量よりも多く含有させておくことが望ましい。これにより、TF T部に局部クラックが生じて、水素又はハロゲンによってターミネート（終端）されうる。

【0058】

次に、島状半導体膜503上にゲート絶縁膜504を形成する（図5（B））。ゲート絶

とした例を示している。絶縁膜 701 としては、例えば、膜厚 100 nm の SiON（窒化珪素）膜と、膜厚 200 nm の LTO 膜（Low Temperature Oxide、低温酸化膜）の 2 層構造とする。SiON 膜は、プラズマ CVD 法で形成し、LTO 膜としては、SiO₂ 膜を減圧 CVD 法で形成する。その後、レジスト 44 をマスクとしてエッチバックを行うことにより、L 字状と円弧状からなるサイドウォール 76 が形成される。また、図 7（B）は、エッチバック時に、ゲート絶縁膜 702 を残すようにエッチングを行った例を示している。この場合の絶縁膜 702 は、単層構造でも積層構造でも良い。上記サイドウォールは、後に高濃度の n 型不純物をドーピングし、サイドウォール 603 の下部に低濃度不純物領域又はノンドープのオフセット領域を形成する際のマスクとして機能するものであるが、上述したサイドウォールのいずれの形成方法においても、形成したい低濃度不純物領域又はオフセット領域の幅によって、エッチバックの条件を適宜変更すればよい。

【0064】

また、本発明の半導体装置において、メモリセルにはサイドウォールをつけなくても動作することが分かっている。したがって、図 6（B）以降、左側 2 つの TFT には、サイドウォールを形成する工程を、そして図 6（B）以降、右側 2 つの TFT には、サイドウォールを形成しない工程の場合を示す。

【0065】

次に、p 型 TFT 領域を覆うレジスト 604 を新たに形成し、ゲート電極 505 及びサイドウォール 603 をマスクとして、n 型を付与する不純物元素 605（代表的には P 又は As）を高濃度にドーピングする（第 3 のドーピング工程、図 6（C））。第 3 のドーピング工程の条件は、ドーズ量： $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧：60～100 keV として行う。この第 3 のドーピング工程によって、1 対の n 型の高濃度不純物領域 606 が形成される。なお、レジスト 604 をアッシング等により除去した後、不純物領域の熱活性化を行っても良い。例えば、50 nm の SiON 膜を成膜した後、550℃、4 時間、窒素雰囲気下において、加熱処理を行えばよい。また、水素を含む SiN_x 膜を、100 nm の膜厚に形成した後、410℃、1 時間、窒素雰囲気下において、加熱処理を行うことにより、結晶性半導体膜の欠陥を改善することができる。これは、例えば、結晶性シリコン中に存在するダングリングボンドを終端させるものであり、水素化処理工程と呼ばれる。さらに、この後、TFT を保護するキャップ絶縁膜として、膜厚 600 nm の SiON 膜を形成する。なお、水素化処理工程は、該 SiON 膜形成後に行っても良い。この場合、SiN_x \ SiON 膜は連続成膜することができる。このように、TFT 上には、SiON \ SiN_x \ SiON の 3 層の絶縁膜が形成されることになるが、その構造や材料はこれらに限定されるものではない。また、これらの絶縁膜は、TFT を保護する機能をも有しているため、できるだけ形成しておくのが望ましい。

【0066】

次に、TFT 上に、層間膜 607 を形成する（図 6（D））。層間膜 607 としては、ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性有機樹脂を用いることができる。形成方法としては、その材料に応じて、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。また、無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸窒化珪素、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、層間膜 607 を形成しても良い。さらに、層間膜 607 上に、保護膜 608 を形成しても良い。保護膜 608 としては、DLC（ダイヤモンドライクカーボン）或いは窒化炭素（CN）等の炭素を有する膜、又は、酸化珪素膜、窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。形成方法としては、プラズマ CVD 法や、大気圧プラズマ等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン等の耐熱性有機樹脂を用いてもよい。なお、層間膜 607 又は保護膜 608 と、後に形

成される配線を形成する等電圧付与の熱膨張率の差が生じる心力によって、これら薄膜の膜剥がれや割れが生じるのを防ぐために、層間膜607又は保護膜608中にフィラーを混入させておいても良い。

【0067】

次に、レジストを形成した後、エッチングによりコンタクトホールを開孔し、配線609を形成する(図6(D))。コンタクトホール開孔時のエッチングに用いられるガスは、 CHF_3 とHeの混合ガスを用いたが、これに限定されるものではない。ここで、配線609は、Ti\TiN\Al-Si\Ti\TiNの5層構造とし、スパッタ法によって形成した後、バタニング形成する。なお、Al層において、Siを混入させることにより、配線バタニング時のレジストベークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させても良い。また、TiやTiNでAl-Si層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、バタニング時には、SiON等からなる上記ハードマスクを用いるのが望ましい。なお、配線の材料や、形成方法はこれらに限定されるものではなく、前述したゲート電極に用いられる材料を採用しても良い。

【0068】

以上の工程を経て、TF Tを有する半導体装置が完成する。この半導体装置としては、ICタグが挙げられる。なお、本実施例では、トップゲート構造としたが、ボトムゲート構造(逆スタガ構造)としてもよい。なお、TF Tのような薄膜能動素子部(アクティブエレメント)の存在しない領域には、下地絶縁膜材料、層間絶縁膜材料、配線材料が主として設けられているが、該薄膜能動素子部の存在しない領域は、半導体装置全体の50%以上、好ましくは70~95%を占めていることが望ましい。逆に、TF T部を含むアクティブエレメントの島状半導体領域(アイランド)は、半導体装置全体の1~30%、好ましくは、5~15%を占めているのがよい。また、図6(D)に示すように、半導体装置におけるTF Tの半導体層から下部の保護層までの距離(t_{under})と、半導体層から上部の層間膜(保護層が形成されている場合には該保護層)までの距離(t_{over})が、等しく又は概略等しくなるように、上下の保護層又は層間膜の厚さを調整するのが望ましい。このようにして、半導体層を半導体装置の中央に配置せしめることで、半導体層への応力を緩和することができ、クラックの発生を防止することができる。

【0069】

(実施例2)

本実施例では、本発明の記憶装置を同一基板上に搭載した半導体装置の例を示す。メモリとその他の機能回路を同一基板上に作製した半導体装置としては、ICタグの例を挙げることができる。図8(A)にICタグのブロック図を示す。ICタグ801は、RF回路802、電源回路803、コマンド制御回路804、クロック805、輻輳制御回路806、メモリ制御回路807、メモリ808、アンテナ809からなり、これらの機能回路は同一の絶縁基板上に作製されている。なお、アンテナ809に関しては、同一基板上に作製されていてもよいし、同一基板上にはアンテナを接続する端子のみが作製され、アンテナは外付けされていてもかまわないので、図中では点線で囲いを示す。

【0070】

ICタグ801は、メモリ808を除くすべての回路がTF T作製工程範囲内で作製することができる。ここで、メモリ808に、本発明の記憶装置を搭載し、すべての回路を同一の工程で作製することができる。本実施例のように、1つの基板上に半導体装置を作製する場合、すべての回路が同一の工程で作製できるということは、生産性の向上やコストダウンにつながる。

【0071】

また、ICタグはバーコードと同様に、最初にメモリ内のデータ内容を決定してしまえば、その後は内容を書き換える必要がないため、ライトワンス型のメモリは、十分に機能を果たすことができる。個人認証や商品管理を目的とするICタグにとって、一度書き込んだデータを書き換えることができないというのは、高い安全性を提供するということに

なる。とつに１チップは、長期にチップを保持していなければならぬので、チップの書き込みが不可逆的な操作であるライトワンス型のメモリは、ＩＣタグに搭載するメモリとして最適である。また、ＩＣタグの使用中にデータの書き込みが必要である場合に対して、必要な分だけメモリの空き領域を設けておくことも可能である。このように、本発明の記憶装置をＩＣタグに搭載すれば、安全性が高く、かつ、使用者にとって使い勝手のよい製品を提供することができる。

【００７２】

ＩＣタグは、絶縁基板上に半導体装置を作製し、その装置のみで動作する装置であったが、本発明の記憶装置はある装置の部品としても使用することができる。その例を図８（Ｂ）に示す。一般的に家庭で使用されている電化製品８１０、たとえば、炊飯器やエアコンなどは、ＣＰＵ８１２、メモリ８１１、Ｉ／Ｏコントローラ８１３、外部装置８１４から成り立っている。この電化製品に搭載されているメモリ８１１は、出荷前に、製品の動作データを書き込まれたプログラムＲＯＭである。

【００７３】

現在、ＣＰＵ８１２、メモリ８１１、Ｉ／Ｏコントローラ８１３は、別々のＩＣとして作製されているが、ＴＦＴを用いて同一の絶縁基板上に作製することが可能である。本実施例のように、製品の一部品であっても、同一基板上に回路を作製することは多くのメリットを生ずる。たとえば、現在ＣＰＵ８１２、メモリ８１１、Ｉ／Ｏコントローラ８１３は別のＩＣとして作製されているので、外部配線で接続されているが、同一基板上に作製すれば、基板内で配線が可能になり、部品サイズが非常に小さくなり、また、接続のための工程と費用が削減されるために、製品の価格を下げることも可能となる。

【００７４】

また、メモリ内に書き込まれている動作データは、製品出荷後には書き換える必要がないため、ライトワンス型のメモリは十分に機能を果たすことができる。さらに、データの書き込みが容易であるため、書き込むデータの変更や更新を考慮して、製品作製の最終段階にデータ内容を決定、書き込みを行うことも可能となる。

【００７５】

（実施例３）

本実施例では、メモリセルの書き込み不良モード素子に対する対策について、図９を用いて述べる。図９には、ＴＦＴの上面図と断面図を示す。ＴＦＴは絶縁基板９０３上に半導体膜９０１があり、前記半導体膜９０１上にゲート絶縁膜９０５、前記ゲート絶縁膜９０５上にゲート電極９０２を有する。半導体膜９０１は高濃度不純物領域９０４を有し、高濃度不純物領域には、２つの配線９０６が接続されている。本発明の記憶装置におけるメモリセルは、図９（Ａ）に示すように、稀に、書き込み動作に対して、メモリセルの不良モード９０７が生じる。普通、ゲート電極と半導体膜との間に電圧をかけると、ＴＦＴの３端子間が絶縁状態になるが、不良モード素子では、半導体膜９０１とゲート絶縁膜９０５が抵抗体となり、３端子間が導通状態になる。

【００７６】

これを回避するための１つの方法として、図９（Ｂ）のように、ＴＦＴにゲート電極を２つ設置し、ダブルゲートにすることが考えられる。不良モード素子が発生する原因は、半導体膜や絶縁膜中のゴミであると考えられているので、その発生はランダムである。たとえば図のようにダブルゲートの片方のチャネル領域に不良モード９０７が生じたとしても、もう一方のチャネル領域が絶縁化領域９０８になれば、２つの電極９０６の間は絶縁されるので、このＴＦＴは正常なメモリセルとして使用することができる。具体的に、現在のデータにおいて、不良モード発生は３％程度である。不良モード発生はランダムに生じるので、ダブルゲートにすれば、その発生は、確率論的に０．１％以下に抑えることが可能となる。

【００７７】

不良モード素子に対応するために、この方法を応用して、ＴＦＴのゲート電極をマルチゲートにすることも可能である。ここで、マルチゲートとは、ＴＦＴのゲート電極を２つ以

上にあることである。ひとりのTFT-1やTFT-2電極が増えると、不良モードの発生率を抑えることができる。メモリ使用時における消費電流や印加電圧、また、メモリセルアレイの面積などを考慮してゲート電極の数を最適化することが望ましい。

【0078】

メモリの記憶容量を大容量化すれば、それでも不良モード素子は発生すると考えられる。その場合は、現在製品化されている記憶装置と同様に、冗長回路をつけることができる。また、フラッシュメモリのように、外部回路の制御によって、不良モード素子のアドレスにはアクセスできないようにすることも可能である。

【図面の簡単な説明】

【0079】

【図1】 本発明の記憶装置におけるメモリセルの動作模式図。

【図2】 メモリセルアレイの例。

【図3】 抵抗素子の上面図と断面図。

【図4】 メモリセルアレイの例。

【図5】 TFTの作製工程順図。

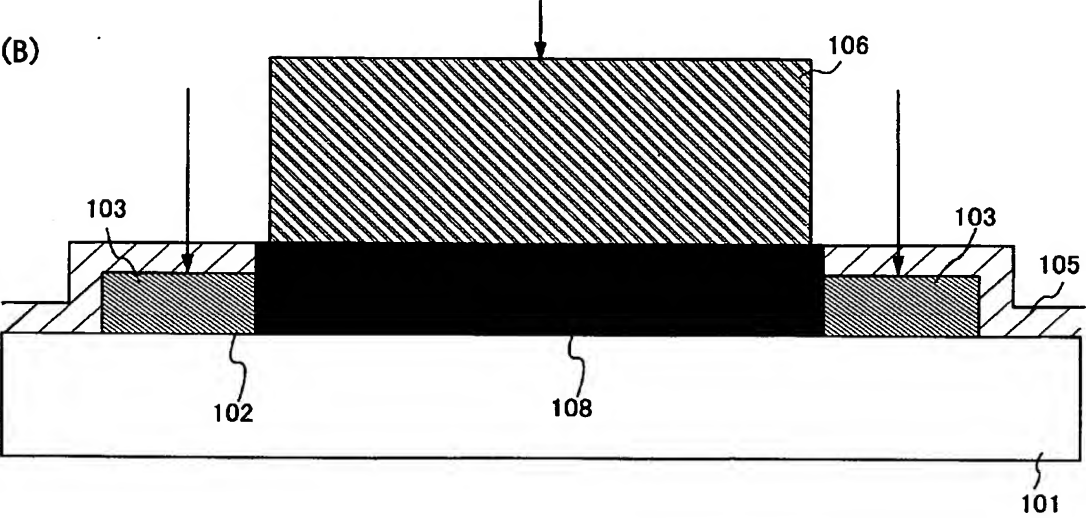
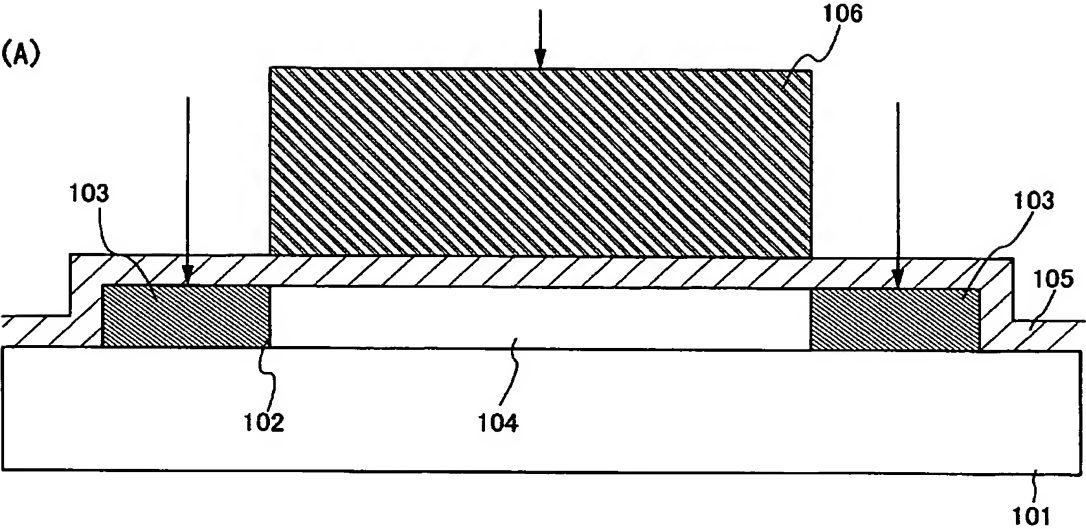
【図6】 TFTの作製工程順図。

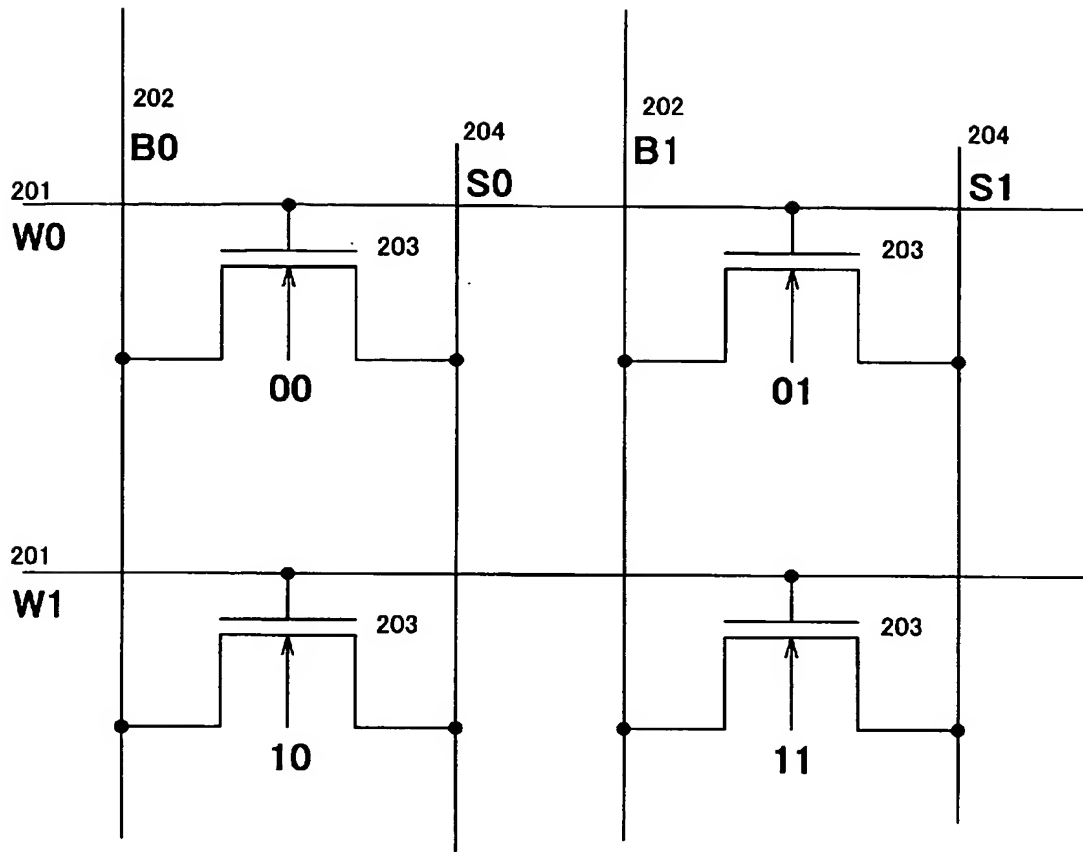
【図7】 TFTの作製工程順図。

【図8】 本発明の記憶装置の使用例。

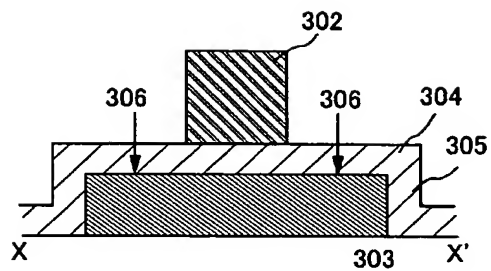
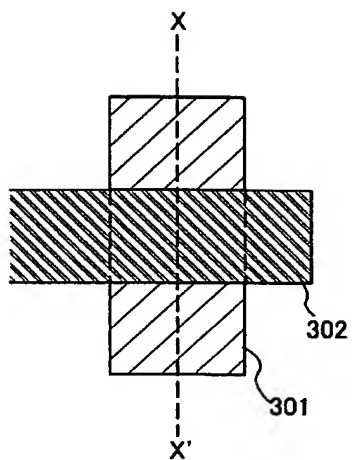
【図9】 本発明の記憶装置におけるメモリセルの例。

【図10】 本発明のTFTの電圧印加前後の写真を示す。

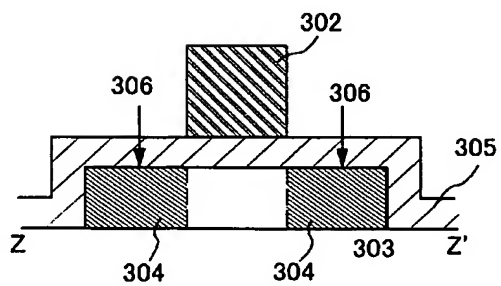
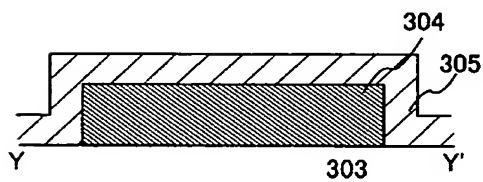
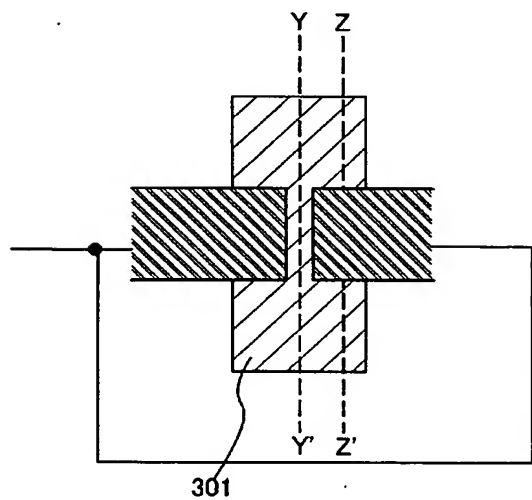


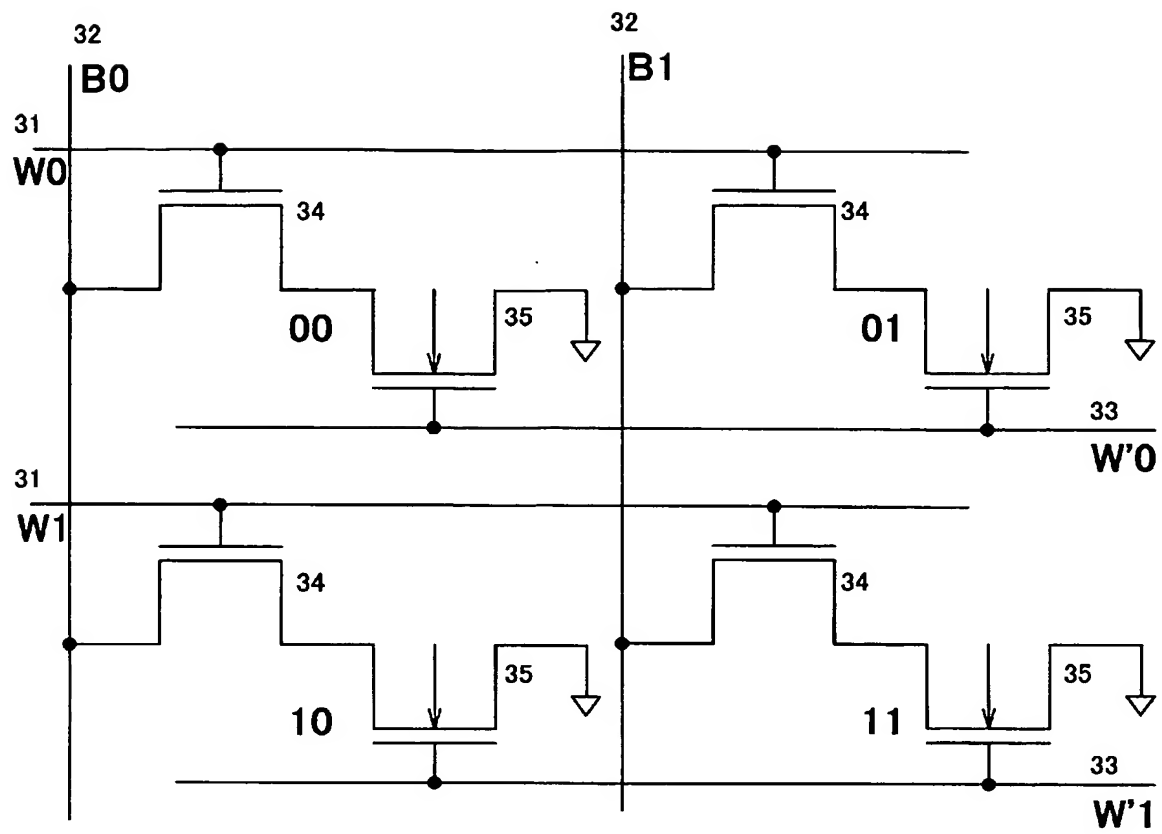


(A)

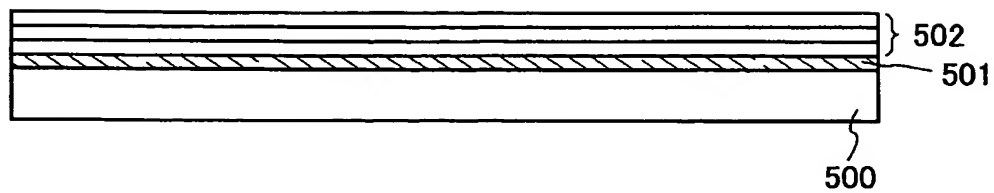


(B)

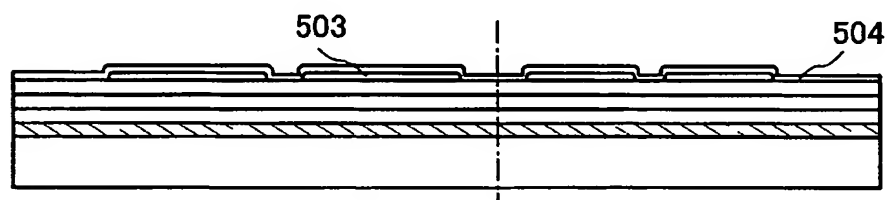




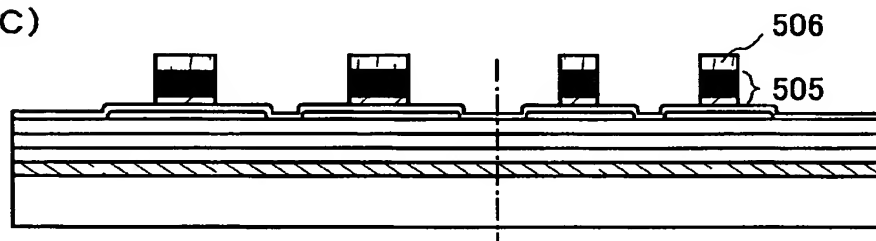
(A)



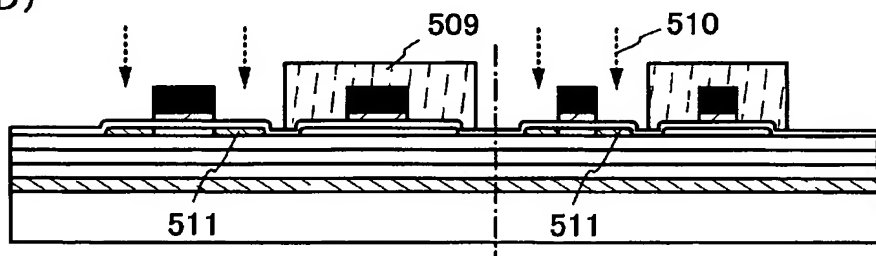
(B)



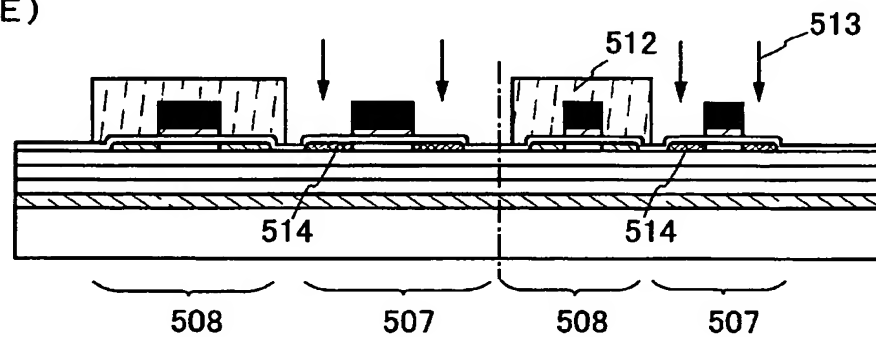
(C)



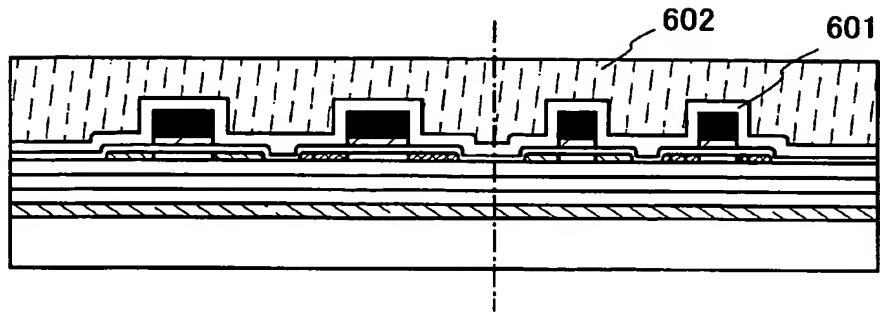
(D)



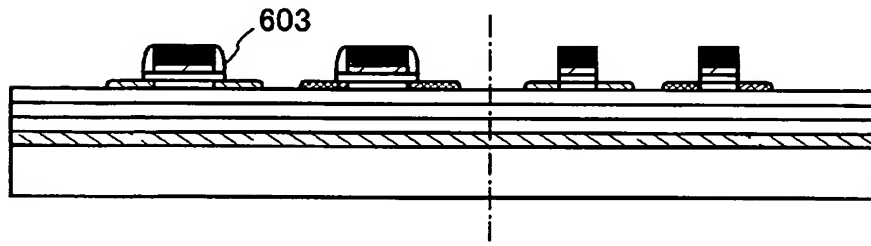
(E)



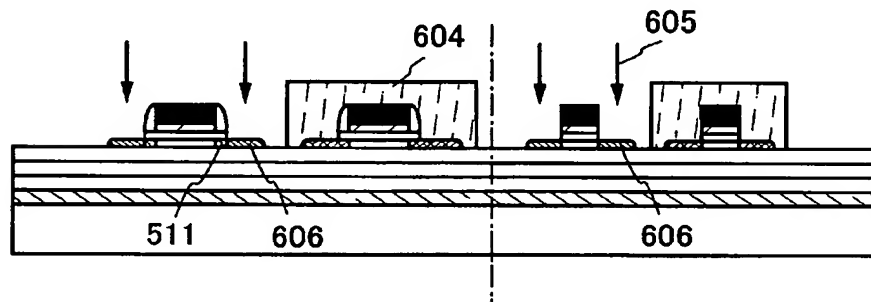
(A)



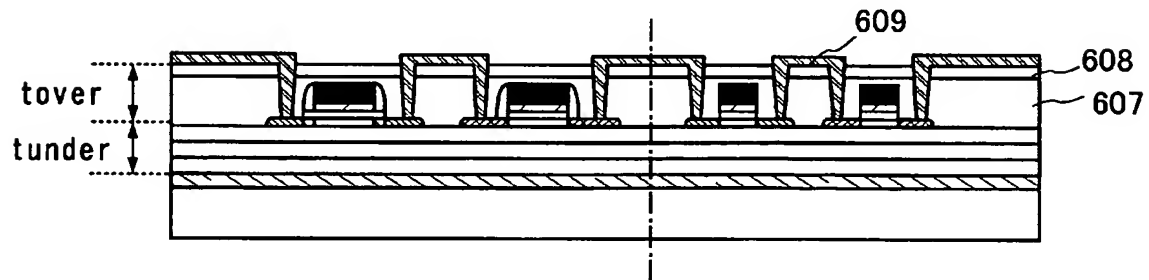
(B)



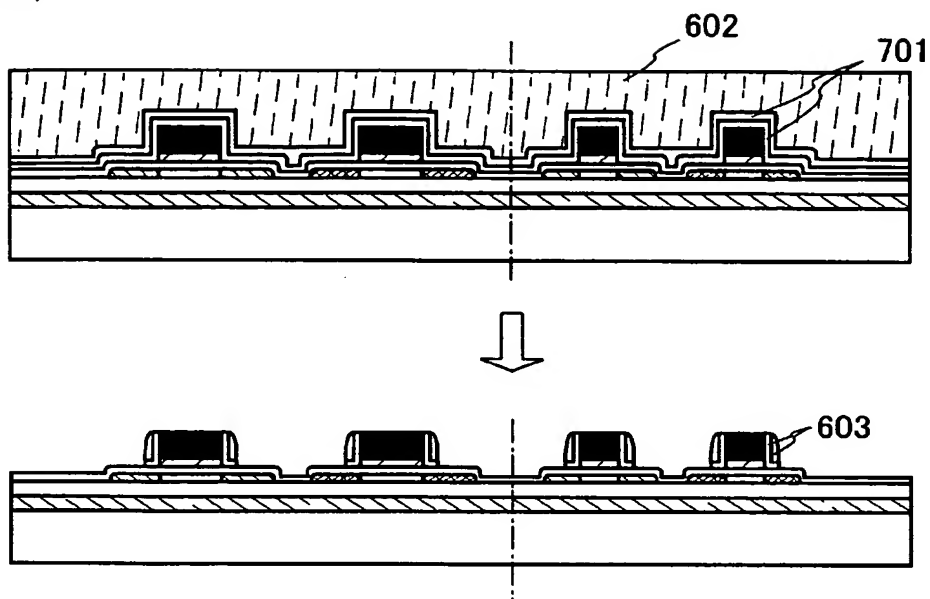
(C)



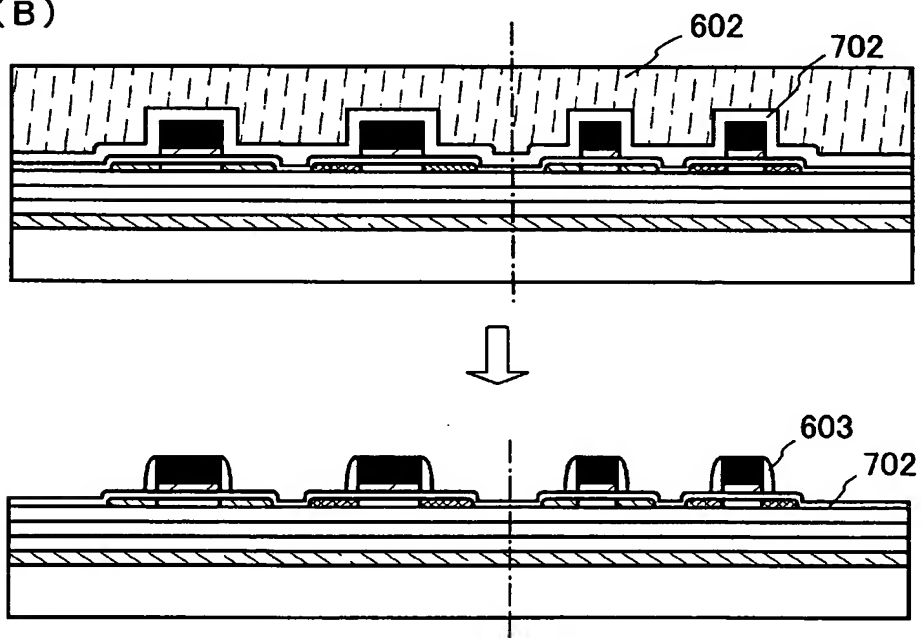
(D)



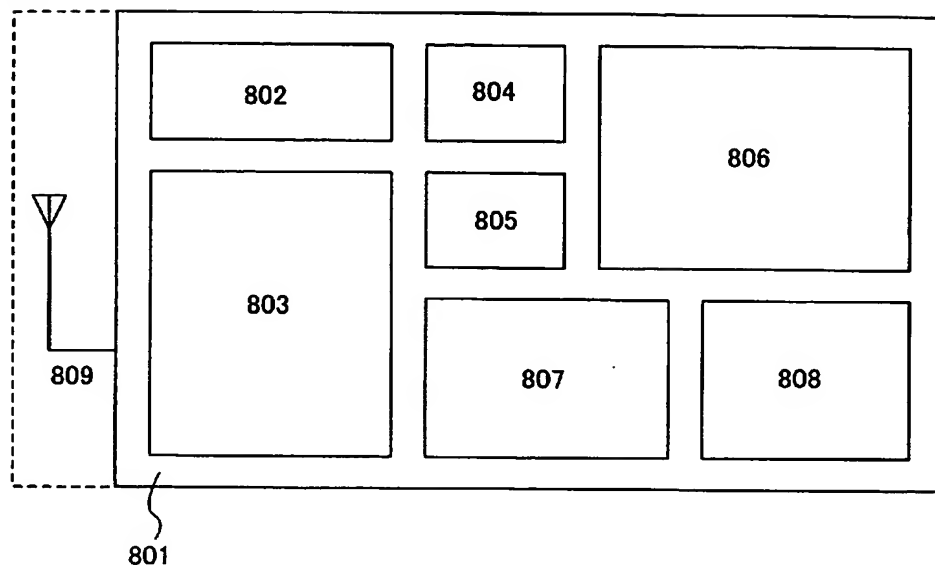
(A)



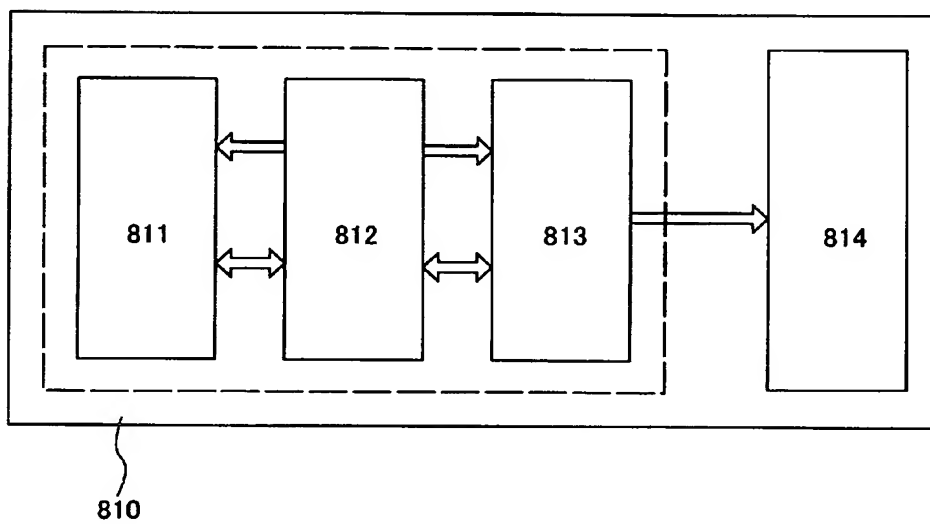
(B)



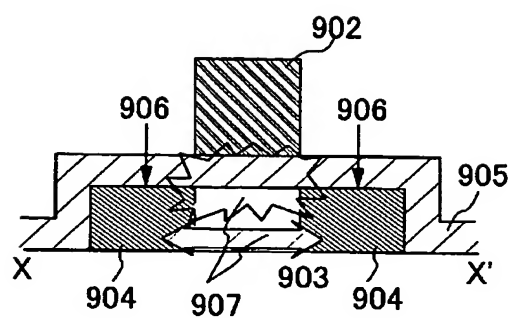
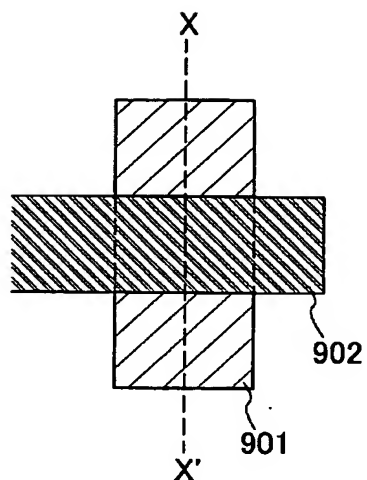
(A)



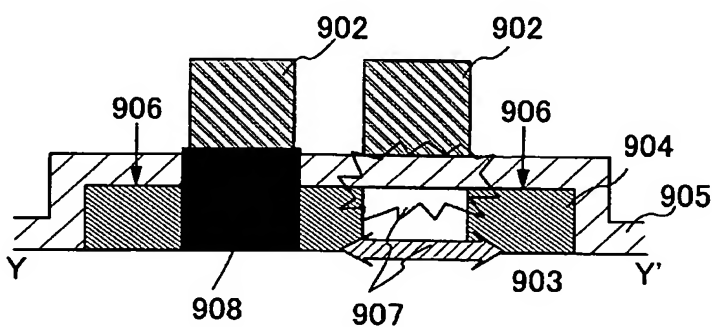
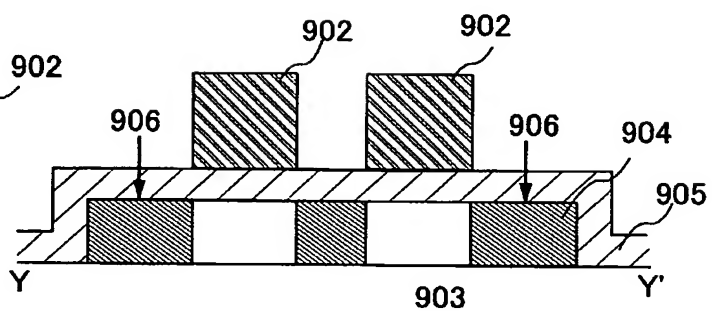
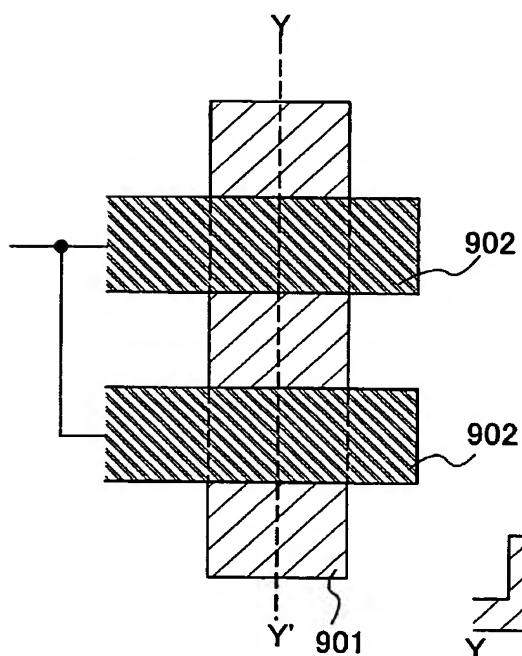
(B)



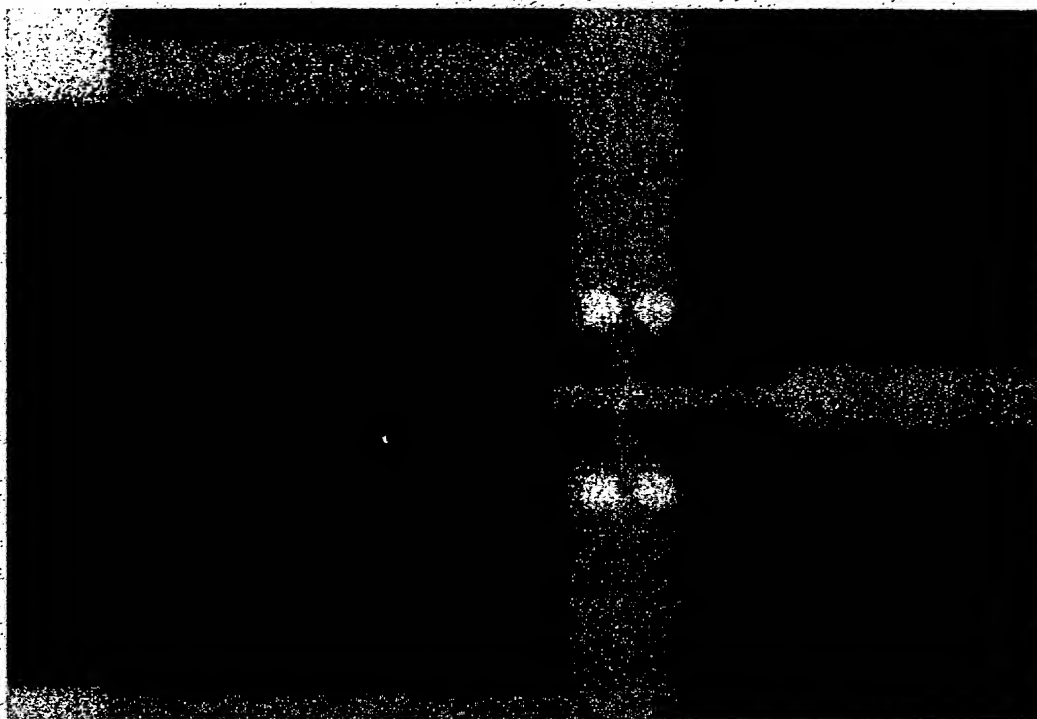
(A)



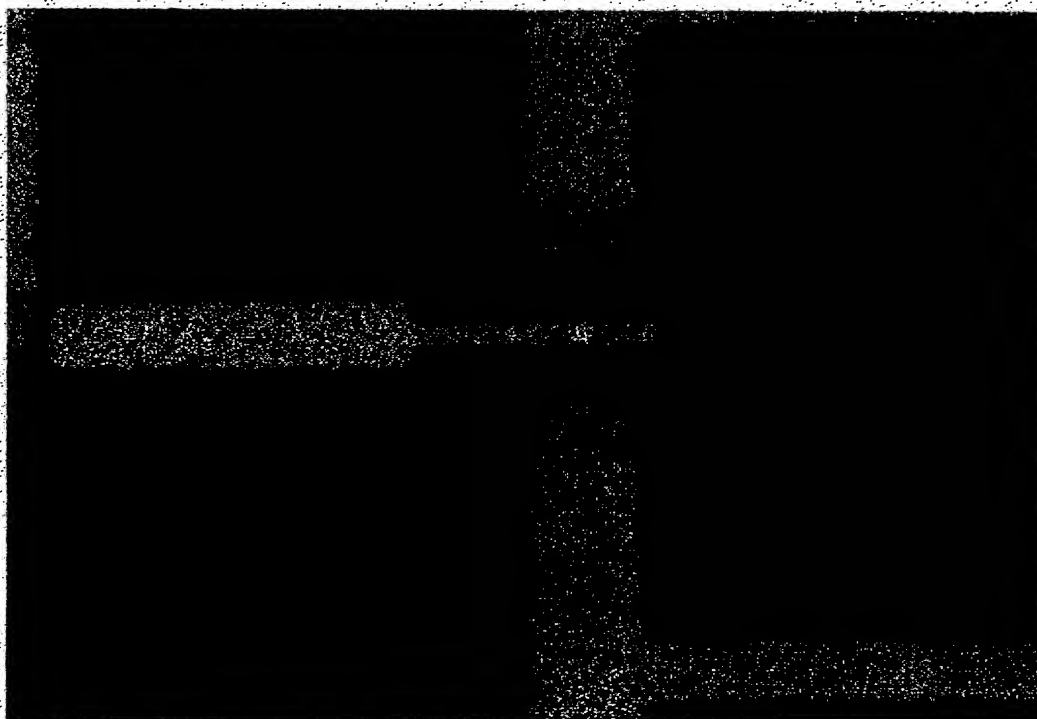
(B)



(A)



(B)



BEST AVAILABLE COPY

【課題】

メモリを他の機能回路と同一の基板上に作製した時にも、メモリのための仕様の限定を生じず、生産性を向上し、使用者にとって使いやすく、安価な記憶装置を提供することを課題とする。

【解決手段】

本発明の記憶装置は、絶縁表面上に、2つの不純物領域を有する半導体膜と、ゲート電極と、不純物領域にそれぞれ接続された2つの配線を含むメモリセルを有し、メモリセルは、ゲート電極と、2つの配線のうち少なくとも一方との間に電圧を印加して半導体膜を変質させることにより、2つの配線間が絶縁されていることを特徴とする。

0 0 0 1 5 3 8 7 8

19900817

新規登録

神奈川県厚木市長谷398番地

株式会社半導体エネルギー研究所

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/010308

International filing date: 31 May 2005 (31.05.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-270418
Filing date: 16 September 2004 (16.09.2004)

Date of receipt at the International Bureau: 30 June 2005 (30.06.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse